(19) (11) Publication number: **10270519 A**

Generated Document.

PATENT ABSTRACTS OF JAPAN

(21) Application number: 09070014
(22) Application date: 24.03.97
(51) Intl. Cl.: H01L 21/66 G01R 31/26

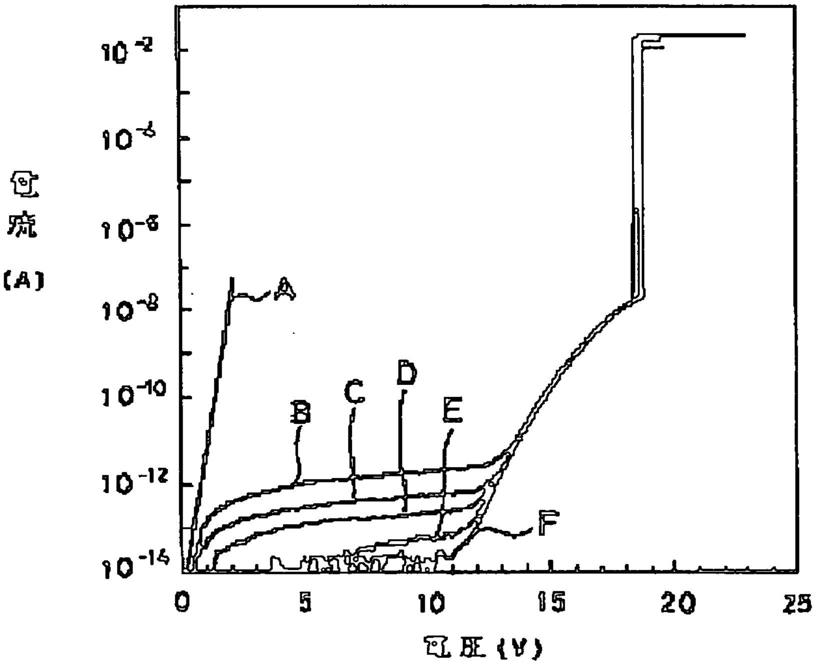
(30) Priority:	(71) Applicant: KOBE STEEL LTD
(43) Date of application publication: 09.10.98	(72) Inventor: FUKUMOTO YOSHITO NOZAWA TOSHIHISA
(84) Designated contracting states:	(74) Representative:

(54) EVALUATION OF SEMICONDUCTOR DEVICE

(57) Abstract:

PROBLEM TO BE SOLVED: To provide a method for evaluating a semiconductor device capable of evaluating the degree of damage of an insulating film in a semiconductor device easily in a short time with high precision.

SOLUTION: An MOS(metal oxide semiconductor) capacitor having a substrate, an insulating film formed on the substrate, and electrodes formed on the insulating film is subjected to plasma treatment as an LSI manufacturing process. Then, after the plasma treatment, the IV (current-voltage) characteristic of the MOS capacitor is measured. Then, a voltage lower than the voltage generated by the FN-tunnel current of the MOS capacitor is applied to this MOS capacitor, and a leakage current flowing from the electrode thereof to the substrate is measured. The magnitude of this leakage current is proportional to the degree of the damage of the insulating film due to the plasma treatment so that the degree of the damage thereof can be evaluated. Thus, the degree of the dielectric breakdown damage in case where the semiconductor device is plasma treated is evaluated from this result.



COPYRIGHT: (C)1998,JPO

(19)日本国特許庁（ＪＰ）　(12) 公開特許公報（Ａ）　(11)特許出願公開番号

特開平10－270519

(43)公開日　平成10年(1998)10月９日

(51)Int.Cl.^{6}	識別記号	ＦＩ	
Ｈ０１Ｌ　21/66		Ｈ０１Ｌ　21/66	Ｑ
			Ｖ
Ｇ０１Ｒ　31/26		Ｇ０１Ｒ　31/26	Ｂ

審査請求　未請求　請求項の数３　ＯＬ　（全８頁）

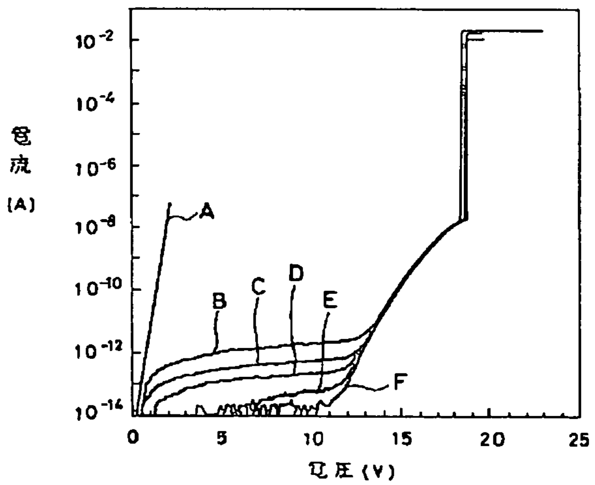
(21)出願番号　特願平9－70014

(22)出願日　平成９年(1997)３月24日

(71)出願人　000001199
株式会社神戸製鋼所
兵庫県神戸市中央区脇浜町１丁目３番18号
(72)発明者　福本　吉人
兵庫県神戸市西区高塚台１丁目５番５号
株式会社神戸製鋼所神戸総合技術研究所内
(72)発明者　野沢　俊久
兵庫県神戸市西区高塚台１丁目５番５号
株式会社神戸製鋼所神戸総合技術研究所内
(74)代理人　弁理士　藤巻　正憲

(54)【発明の名称】　半導体装置の評価方法

(57)【要約】
【課題】　半導体装置の絶縁膜のダメージの程度を容易に短時間で評価することができ、その精度が優れた半導体装置の評価方法を提供する。
【解決手段】　基板と、基板上に形成された絶縁膜と、絶縁膜の上に形成された電極とを有するＭＯＳキャパシタに対して、ＬＳＩの製造工程としてのプラズマ処理を施す。次に、プラズマ処理が終了したＭＯＳキャパシタのＩＶ（電流－電圧）特性を測定する。そして、ＭＯＳキャパシタのＦＮトンネル電流が発生する電圧よりも低い電圧をこのＭＯＳキャパシタに印加し、その電極から基板に流れるリーク電流を測定する。このリーク電流の大きさは、プラズマ処理により絶縁膜が受けたダメージの程度に比例するので、そのダメージの程度を評価することができる。そして、この結果により、半導体装置をプラズマ処理した場合の絶縁破壊ダメージの程度を評価する。



【特許請求の範囲】

【請求項１】　半導体基板と、この半導体基板の上に形成された絶縁膜と、この絶縁膜の上に形成された電極とを有するＭＯＳキャパシタをプラズマ処理した後、前記ＭＯＳキャパシタの電流－電圧特性におけるＦＮトンネル電流が生じる電圧よりも低い電圧を前記ＭＯＳキャパシタに与えて発生するリーク電流を測定し、半導体装置をプラズマ処理した場合の前記半導体装置の絶縁破壊ダメージの程度を前記ＭＯＳキャパシタのリーク電流により評価することを特徴とする半導体装置の評価方法。

【請求項２】　前記ＭＯＳキャパシタは、前記絶縁膜の膜厚が１０乃至３００Åであり、前記電極が前記絶縁膜の面積の１乃至１０００００００倍の面積を有するものであって、前記リーク電流を測定する電圧は、前記ＭＯＳキャパシタの絶縁破壊電圧の５乃至７０％の電圧であることを特徴とする請求項１に記載の半導体装置の評価方法。

【請求項３】　前記絶縁膜の絶縁破壊ダメージの程度の評価結果により、前記プラズマ処理の適正条件を設計することを特徴とする請求項１又は２に記載の半導体装置の評価方法。

【発明の詳細な説明】

【０００１】

【発明の属する技術分野】本発明はＬＳＩ等の半導体装置を製造する際のプラズマ処理中において発生する絶縁膜（シリコン酸化膜）のダメージを評価する方法に関し、特に、短時間で、連続したダメージの大小を容易に評価することができる半導体装置の評価方法に関する。

【０００２】

【従来の技術】近時、ＬＳＩのエッチング工程、レジスト除去工程及びイオン注入工程等のプラズマ処理において、チャージアップ現象によって絶縁膜（シリコン酸化膜：SiO_2）が破壊したり、ダメージを受けたりすることが問題となっている。

【０００３】図７（ａ）はプラズマ処理中における基板表面のプラズマ電位の分布を示すグラフ図と、このプラズマ処理により発生する基板中の電流の流れを示す模式図であり、（ｂ）は基板の一部を拡大して示す断面図である。図７（ａ）に示すように、シリコン基板２２に種々のプラズマ処理を施す場合、先ず、基板２２を基体２１の上に配置し、これをプラズマ処理装置のチャンバ１５内に設けられた支持台１６の上に配置する。なお、支持台１６は接地されており、基体２１はシリコン基板２２にＲＦバイアス電圧を印加するための電源１７に接続されている。従って、電源１７によって基体２１にＲＦバイアス電圧を印加すると、シリコン基板２２にもＲＦバイアス電圧が印加される。

【０００４】図７（ｂ）に示すように、シリコン基板２２には、例えば、その上にゲート絶縁膜２３が形成されており、このゲート絶縁膜２３の上には、複数の上部電極２４が形成されている。なお、ゲート絶縁膜２３は上部電極２４の下方において、他の部分よりも薄い膜厚で形成されている。

【０００５】このように構成された基板２２に対してプラズマ処理を施すと、図７（ａ）のグラフ図に示すように、基板２２の表面のプラズマ電位が不均一になる。これにより、電荷が電極２４からシリコン基板２２の内部を伝わり、プラズマ電位の高い場所から低い場所に移動する。その結果、矢印２５に示す方向に、上部電極２４から、その下方の薄いゲート絶縁膜２３を通じて基板２２に電流が流れて、チャージアップダメージが発生する。

【０００６】このような絶縁膜のダメージを評価する方法として、ＭＯＳ（Metal-Oxide-Semiconductor）キャパシタ構造を有するデバイスの電流－電圧特性を測定する方法（ＩＶ測定法）がある（Hyungcheol Shinら、「Modeling Oxide Thickness Dependence of Charging Damage by Plasma Processing」IEEE ELECTRON DEVICE LETTERS, VOL.14, NO.11, (1993), pp.509-511、水谷ら、「プラズマプロセスによるSiO_2／Ｓｉの照射損傷」、応用物理、第５９巻、第１１号 、(1990)、pp.1496-1501）。図８は従来のＩＶ測定法において使用するＭＯＳキャパシタ構造を示す断面図である。半導体基板（Semiconductor）２６の上に酸化膜（Oxide）２７が形成されており、その上に電極（Metal）２８が選択的に形成されることによりＭＯＳキャパシタ２９が構成されている。なお、酸化膜２７は、電極２８の下方において、他の部分よりも薄く形成されている。

【０００７】このように構成されたＭＯＳキャパシタ２９を利用するＩＶ測定法とは、ＭＯＳキャパシタ２９に印加する電圧を徐々に増加させて、電極２８から基板２６に流れる電流値を測定することによって絶縁膜のダメージを評価する方法であり、単純な構造のデバイスを使用して測定することができ、その測定方法が簡単である。

【０００８】図９は縦軸に電流をとり、横軸に電圧をとって、一般的なＩＶ特性の例を示すグラフ図である。図９に示すように、ＭＯＳキャパシタ２９の電極２８に印加する電圧を増加させると、リーク電流３０ａが発生する。このリーク電流３０ａは、ある電圧値に達するまでは電圧値の増加に伴って若干増加する。そして、ある電圧値を超えると、ＦＮトンネル電流３０ｂが流れ始める。このＦＮトンネル電流とは、絶縁膜（酸化膜２７）に大きな電圧（電界）が印加された場合に、トンネル現象によって電子が絶縁膜の電導帯に移動し、電流が流れる現象のことである。

【０００９】その後、更にＭＯＳキャパシタ２９の電極２８に印加する電圧を増加させると、例えば、約１２（ＭＶ／ｃｍ）の電圧の印加によって不可逆な絶縁破壊３０ｃが発生する。ＩＶ測定法においては、ＦＮトンネ

ル電流が流れる領域で、所定の電流値（例えば５（ｍＡ／ｃｍ^{2}））に達したときの電圧値（ＧＯＩ電圧）を測定することにより、絶縁膜のダメージを評価することができる。

【００１０】他に、絶縁膜のダメージを評価する方法として、ＭＯＳキャパシタにの電極に定電流のストレスを印加して、絶縁破壊に至るまでの時間（注入電荷量）を測定する方法（Q_{BD}測定法）がある（K.Erigutiら、「Quantitative Evaluation ofGate Oxide Damage during Plasma Processing Using Antenna-Structure Capacitors」、Jpn.J.Appl.Phys., Vol.33, Part 1, No.1A, (1994), pp.83-87 ）。

【００１１】図１０は縦軸に電圧をとり、横軸に時間をとって、プラズマ処理前のデバイスと、プラズマ処理後のデバイスとの絶縁破壊に至るまでの時間の比較を示すグラフ図である。図１０においては、プラズマ処理前のデバイスが絶縁破壊するまでの時間をT_0とし、プラズマ処理後のデバイスが絶縁破壊するまでの時間をT_1としている。ＭＯＳキャパシタに一定の電圧を印加したときに、電極から基板に流れる電流をＩ、破壊までの時間をＴとすると、Q_{BD}はＩ×Ｔによって算出することができる。

【００１２】更に、ＥＥＰＲＯＭ（Electrically Erasable Programable Read-Only-Memory）又はＭＮＯＳ（Metal-Nitride-Oxide-Semiconductor）構造デバイスの静電容量−電圧を測定する方法（ＣＶ測定法）も公知である（K.Hashimotoら、「QUANTITATIVE EVALUATION OF CHARGE-UP DAMAGE BY USING CURRENT SENSITIVE MOS DIODES」、Proceeding of 13th Dry Process Symposium, (1991), pp.93-97 ）。図１１は従来のＣＶ測定法において使用するＭＮＯＳ構造のデバイスを示す断面図である。半導体基板（Semiconductor）３１の上に酸化膜（Oxide）３２が形成されており、その上に窒化膜３３が形成されている。そして、この窒化膜３３の上に電極（Metal）３４が選択的に形成されることにより、ＭＮＯＳ構造デバイス３５が構成されている。なお、酸化膜３２は電極３４の下方において、他の部分よりも薄く形成されている。

【００１３】このように構成されたＭＮＯＳ構造デバイス３５を利用したＣＶ測定法は、プラズマ処理中に受けたチャージアップ電圧を凍結して、Ｃ−Ｖ（静電容量−電圧）を測定することにより絶縁膜のダメージを評価する方法である。

【００１４】更にまた、このＭＮＯＳ構造デバイス等を使用したＣＶ測定において、そのしきい値電圧のシフトを測定する方法も使用されている（Hyungcheol Shinら、「Spatial Distributions of Thin Oxide Charging in Reactive Ion Etcher and MERIE Etcher」、IEEE ELECTRON DEVICE LETTERS, VOL.14, NO.2, (1993), pp.88-90 ）。

【００１５】

【発明が解決しようとする課題】しかしながら、上述の絶縁膜のダメージを測定する方法には、以下に示す問題点がある。例えば、一般的にＦＮトンネル領域におけるＩＶ特性は、プラズマダメージの初期には殆ど変化せず、ダメージの最終段階で急激に変化して絶縁破壊に至る。この場合、測定されるＧＯＩ電圧は健常値又は零付近（絶縁破壊の状態）の値となり、中間の値を示すことがない。従って、ＩＶ測定法においては、絶縁膜のダメージの大きさはGoodとNo-Goodとの２段階のみで判断することになり、中間のダメージ及びダメージの連続的な大小関係を評価することは困難である。

【００１６】また、Q_{BD}測定法においては、各デバイスのQ_{BD}値には統計的な分布があるので、各デバイスの絶縁膜におけるダメージの大小を直接評価することは困難である。更に、評価精度を向上させるためには、測定するために必要な時間が著しく長くなるという問題点がある。

【００１７】更にまた、ＣＶ測定法においては、トランジスタ等の実際の半導体装置に形成されたデバイスが受けるダメージは、注入された電荷量に依存するので、ＣＶ測定の結果と、実際の半導体装置に形成されたデバイスが受けるダメージとを直接対比させることができない。即ち、例えばプラズマ照射時間の長さと、絶縁膜のダメージの大きさとを対比させて評価することができない。更に、このＣＶ測定法では、デバイスはプラズマ処理中に印加された最大のチャージアップ電圧を記憶することになるので、プラズマが時間によって変化する場合等には、正確に絶縁膜のダメージを評価することはできない。

【００１８】本発明はかかる問題点に鑑みてなされたものであって、半導体装置の絶縁膜のダメージの程度を容易に短時間で評価することができ、その評価精度が優れた半導体装置の評価方法を提供することを目的とする。

【００１９】

【課題を解決するための手段】本発明に係る半導体装置の評価方法は、半導体基板と、この半導体基板の上に形成された絶縁膜と、この絶縁膜の上に形成された電極とを有するＭＯＳキャパシタをプラズマ処理した後、前記ＭＯＳキャパシタの電流−電圧特性におけるＦＮトンネル電流が生じる電圧よりも低い電圧を前記ＭＯＳキャパシタに与えて発生するリーク電流を測定し、半導体装置をプラズマ処理した場合の前記半導体装置の絶縁破壊ダメージの程度を前記ＭＯＳキャパシタのリーク電流により評価することを特徴とする。

【００２０】本発明においては、ＭＯＳキャパシタの電流−電圧特性において、ＦＮトンネル電流が生じる電圧よりも低い電圧をＭＯＳキャパシタに与えて、そのときに発生するリーク電流を測定する。本発明における電圧測定領域のリーク電流の大きさは、ＭＯＳキャパシタの

絶縁膜が受けたダメージの大きさに依存すると共に、ダメージの大小によって連続的に変化するものである。従って、これにより、ＭＯＳキャパシタの絶縁膜のダメージの程度を高精度に評価することができる。そして、半導体装置をプラズマ処理した場合のこの半導体装置の絶縁破壊ダメージの程度をリーク電流の値によって評価することができる。

【００２１】また、本発明においては、ＭＯＳキャパシタの電流－電圧特性を利用するので、単純な構造のデバイスにより、簡単に半導体装置を評価することができ、その測定時間は、従来の測定法と比較して著しく短縮することができる。

【００２２】前記ＭＯＳキャパシタは、前記絶縁膜の膜厚が１０乃至３００Åであり、前記電極が前記絶縁膜の面積の１乃至１００００００倍の面積を有するものであって、前記リーク電流を測定する電圧は、前記ＭＯＳキャパシタの絶縁破壊電圧の５乃至７０％の電圧であることが好ましい。

【００２３】一般的に使用される半導体装置の絶縁膜は、通常１０乃至３００Åの膜厚を有するので、本発明においては、評価する対象となる半導体装置の絶縁膜の膜厚と同様の膜厚を有するＭＯＳキャパシタを使用することが好ましい。また、絶縁膜の面積に対する電極の面積比（アンテナ比）についても、通常の半導体装置のアンテナ比に対応させて、本発明においてはＭＯＳキャパシタのアンテナ比を１乃至１００００００倍とすることが好ましい。

【００２４】更に、リーク電流を測定する電圧が、ＭＯＳキャパシタの絶縁破壊電圧の５％未満であると、絶縁膜が受けたダメージの程度を高精度に評価することが困難になる。一方、測定電圧がＭＯＳキャパシタの絶縁破壊電圧の７０％を超えると、ＦＮトンネル電流が発生し始めるので、測定電圧におけるリーク電流値が接近し、絶縁膜のダメージの程度を高精度に評価することが困難になる。従って、本発明においては、ＭＯＳキャパシタの絶縁破壊電圧の５乃至７０％の電圧でリーク電流を測定することが望ましい。

【００２５】なお、本発明においては、絶縁膜の絶縁破壊ダメージの程度の評価結果により、前記プラズマ処理の適正条件を設計することができる。

【００２６】このように、プラズマ処理中のチャージアップ電圧を測定することにより半導体装置を評価するのではなく、チャージアップにより発生した絶縁膜のダメージを直接評価するので、実際に使用する半導体装置が有する絶縁膜が受けるダメージと対比することが容易となる。従って、このダメージの程度によって、半導体装置にプラズマ処理を施す場合のプラズマ処理条件を適切に設定することができる。

【００２７】

【発明の実施の形態】以下、本発明に係る半導体装置の評価方法について、添付の図面を参照して説明する。図１は本実施例に係る半導体装置の評価方法において使用するＭＯＳキャパシタ構造を示す断面図である。また、図２（ａ）はチップが形成されたウエハを示す平面図であり、（ｂ）はこのチップを拡大して示す平面図である。

【００２８】先ず、図２（ａ）に示すように、例えば、８インチウエハ７の全面に複数のチップ６を形成し、評価用ウエハを作製する。これらの各チップ６にはＭＯＳキャパシタ構造を有するデバイスが形成されている。本実施例において使用するデバイスのＭＯＳキャパシタ構造を以下に説明する。図１に示すように、下部電極としてのｐ型シリコン基板１の表面にフィールド絶縁膜２が選択的に形成されており、これにより、素子領域が区画されている。また、区画された素子領域の表面に、フィールド絶縁膜２よりも薄い膜厚（例えば、９０Åの膜厚）でゲート絶縁膜３が形成されている。更に、ゲート酸化膜３の上には、ポリシリコンからなる上部電極４が形成されている。このようにして、ＭＯＳキャパシタ構造が構成されている。

【００２９】本実施例においては、図２（ｂ）に示すように、面積が異なる分離された複数の電極が形成されるようにポリシリコン膜を加工して上部電極４を形成し、これにより、各評価デバイスＡ、Ｂ、Ｃ、Ｄ及びＥを１つのチップ６上に形成した。即ち、上部電極（アンテナ）４の面積と、絶縁膜のゲート部分（ゲート酸化膜３）の面積との比（アンテナ比）を変化させることにより、種々の条件でプラズマ処理を施したデバイスを想定した。各評価デバイスのアンテナ比を下記表１に示す。

【００３０】

【表１】

ﾃﾞﾊﾞｲｽ記号	アンテナ比
A	700000
B	350000
C	35000
D	3500
E	350

【００３１】次に、上記ウエハ７にＬＳＩの製造工程としてのプラズマ処理（エッチング、レジスト除去及びイオン注入等）を施す。本実施例においては、ウエハ７をプラズマエッチング装置に設置し、これを所定の条件（ガス種、ガス圧力、高周波プラズマ電力及びバイアス電極）でエッチング処理した。また、エッチング時間は、上部電極４の膜厚の半分がエッチングされる時間に設定した。

【００３２】次いで、エッチングが終了したウエハをプ

ローバ評価装置に設置し、各デバイスのＩＶ（電流－電圧）特性を測定する。図3はウエハ７上の１つのチップ６における各デバイスのＩＶ特性を示すグラフ図である。図３中の記号は各デバイス記号を示す。また、Ｆはプラズマ処理を施していないウエハのデバイスを示す。プラズマ処理の条件が一定である場合、各デバイスのゲート絶縁膜３が受けるチャージアップダメージの大きさは、アンテナ面積（アンテナ比）に比例することが公知である。従って、本実施例においては、異なる条件でプラズマ処理が施されて、異なる大きさのチャージアップダメージを受けた絶縁膜のＩＶ特性を評価した結果と同様となる。

【００３３】図3に示すように、デバイスＡは低電圧の印加によって大きな電流が流れている。これは、デバイスＡのゲート絶縁膜が、既に絶縁破壊を起こしていることを示している。また、デバイスＢ乃至Ｅは絶縁破壊を起こしていないが、ＦＮトンネル電流よりも低い電圧でリーク電流が発生している。更に、デバイスＦはリーク電流が発生していない。

【００３４】図4は縦軸にリーク電流値をとり、横軸にアンテナ比をとって、各デバイスに発生するリーク電流値を示すグラフ図である。即ち、図4は各デバイスのゲート絶縁膜に１０Ｖの電圧を印加した場合のリーク電流値をアンテナ比に対して示したものである。図4に示すように、リーク電流値はアンテナ比の大きさ、即ち、チャージアップによるダメージ量に比例して大きくなっている。

【００３５】一方、ＦＮトンネル領域では、図3に示すように、デバイスＢ乃至Ｅは、デバイスＦと殆ど同一のＩＶ特性を有している。従って、ＧＯＩ電圧を測定することによって絶縁膜のダメージを評価する従来の技術では、デバイスＢ乃至Ｅが受けたダメージの程度を評価することはできず、絶縁破壊を起こしたデバイスＡ（No-good）と絶縁破壊を起こしていないデバイスＢ乃至Ｆ（Good）との２段階で判定されるのみとなる。更に、デバイスＢ乃至Ｅは、絶縁膜のダメージを受けていないデバイスＦと同一のダメージなし（Good）と判断されるので、ダメージの検出精度も低い。

【００３６】本実施例においては、図4に示すように、デバイスＢ乃至ＥとデバイスＦとの違いを明確に評価することができると共に、デバイスＢ乃至Ｅの間のダメージの程度も判断することができる。従って、デバイスが受けたチャージアップダメージを、連続したダメージの変化として高精度に評価することができる。従って、例えば、種々の条件でＭＯＳキャパシタにプラズマ処理を施した場合の絶縁膜のダメージの程度を評価することにより、実際の半導体装置の製造工程におけるプラズマ処理条件を適切に設定することができる。

【００３７】なお、前述の如く、プラズマ処理条件が一定であるとき、絶縁膜のダメージの程度はアンテナ比に比例し、デバイスの構造には依存しないので、本実施例に示すように、単純な三層構造の評価デバイスを使用して絶縁膜のダメージの程度を評価することができる。但し、評価デバイスの構造は、図1に示す構造に限定されず、本発明においては、種々のＭＯＳキャパシタ構造を有する評価デバイスを使用することができる。

【００３８】図5及び図6は本発明に係る半導体装置の評価方法において使用することができる評価デバイスの構造例を示す断面図である。図５及び６に示すデバイスにおいて、図１と同一物には同一符号を付して、その詳細な説明は省略する。

【００３９】図5に示す評価デバイスは、図１に示す上部電極４を加工する前のポリシリコン膜８の上に、フォトレジスト９が選択的に形成されたものである。また、図6に示す評価デバイスは、上部電極４及びフィールド酸化膜２を含む表面全面に層間絶縁膜１０が形成されており、この層間絶縁膜１０は、ゲート絶縁膜３に整合する領域にコンタクトホール１０ａが設けられていて、更に、層間絶縁膜１０の上に、コンタクトホール１０ａを埋める金属膜１１が形成されたものである。

【００４０】このように構成された評価デバイスによっても、図1に示す評価デバイスと同様に、絶縁膜のダメージの程度を評価することができる。

【００４１】また、本実施例においては、プラズマエッチング装置を使用してエッチング処理時におけるチャージアップダメージを測定したが、本発明においては、その他のプラズマ処理、例えば、レジスト除去（アッシング）装置又はイオン注入装置を使用したレジスト除去時又はイオン注入時におけるチャージアップダメージを測定することができる。

【００４２】更に、本実施例においては、零電圧からダメージを受けていないＭＯＳキャパシタが絶縁破壊する電圧まで各デバイスに電圧を印加し、そのデバイスのＩＶ特性によって各デバイスの特性を評価した。しかし、本発明においては、ＭＯＳキャパシタのＦＮトンネル電流が発生する電圧よりも小さな所定の電圧、例えば１０Ｖの電圧を印加した場合に発生するリーク電流のみを測定してもよい。この電圧は、例えば、ＭＯＳキャパシタの絶縁破壊電圧の５乃至７０％の範囲で設定することができる。このようにすることにより、測定時間を著しく短縮することができる。

【００４３】

【発明の効果】以上詳述したように、本発明によれば、ＭＯＳキャパシタを使用して、このＭＯＳキャパシタの電流－電圧特性におけるＦＮトンネル電流が生じる電圧よりも低い電圧をＭＯＳキャパシタに印加して、発生するリーク電流を測定するので、ＭＯＳキャパシタの絶縁膜のダメージの程度を高精度に評価することができ、このリーク電流の値により、半導体装置をプラズマ処理した場合の前記半導体装置の絶縁破壊ダメージの程度を高

精度に評価することができる。また、本発明において使用するＭＯＳキャパシタは単純な構造であるので、その評価方法が簡単になると共に、その評価時間を著しく短縮することができる。

【００４４】また、ＭＯＳキャパシタの絶縁膜及びアンテナ比を適切に設定すると共に、リーク電流を測定する電圧を適切に選択すると、実際の半導体装置に厳密に対比させることができると共に、ダメージの評価精度を向上させることができる。

【００４５】更に、絶縁膜の絶縁破壊ダメージの程度の評価結果により、前記プラズマ処理の条件を選択すると、実際の半導体装置の製造工程におけるプラズマ処理条件を適切に設計することができる。

【図面の簡単な説明】

【図１】本実施例に係る半導体装置の評価方法において使用するＭＯＳキャパシタ構造を示す断面図である。

【図２】（ａ）はチップが形成されたウエハを示す平面図であり、（ｂ）はこのチップを拡大して示す平面図である。

【図３】ウエハ７上の１つのチップ６における各デバイスのＩＶ特性を示すグラフ図である。

【図４】縦軸にリーク電流値をとり、横軸にアンテナ比をとって、各デバイスに発生するリーク電流値を示すグラフ図である。

【図５】本発明に係る半導体装置の評価方法において使用することができる評価デバイスの構造例を示す断面図である。

【図６】本発明に係る半導体装置の評価方法において使用することができる評価デバイスの他の構造例を示す断面図である。

【図７】（ａ）はプラズマ処理中における基板表面のプラズマ電位の分布を示すグラフ図と、このプラズマ処理により発生する基板中の電流の流れを示す模式図であり、（ｂ）は基板の一部を拡大して示す断面図である。

【図８】従来のＩＶ測定法において使用するＭＯＳキャパシタ構造を示す断面図である。

【図９】縦軸に電流をとり、横軸に電圧をとって、一般的なＩＶ特性の例を示すグラフ図である。

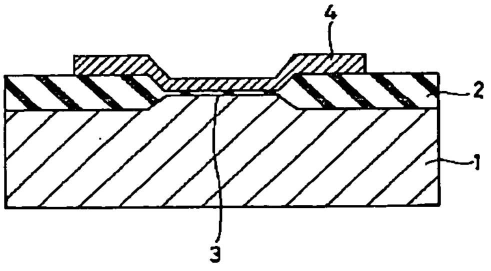
【図１０】縦軸に電圧をとり、横軸に時間をとって、プラズマ処理前のデバイスと、プラズマ処理後のデバイスとの絶縁破壊に至るまでの時間の比較を示すグラフ図である。

【図１１】従来のＣＶ測定法において使用するＭＮＯＳ構造のデバイスを示す断面図である。

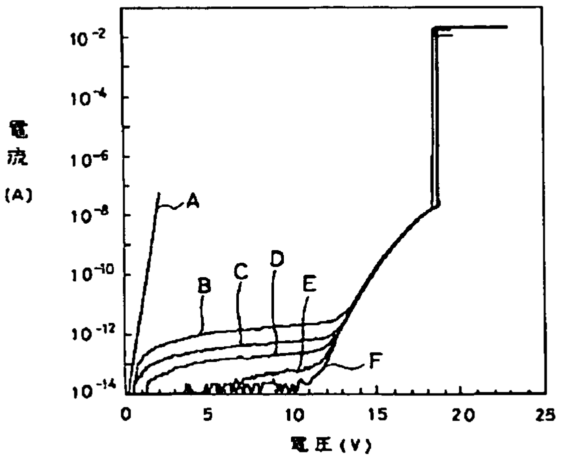
【符号の説明】

１、２２、２６、３１；基板
２；フィールド絶縁膜
３、２３；ゲート絶縁膜
４、２４；上部電極
６；チップ
７；ウエハ
８；ポリシリコン膜
９；フォトレジスト
１０；層間絶縁膜
１１；金属膜
２１；基体
２８、３４；電極
２９；ＭＯＳキャパシタ
３０ａ；リーク電流
３０ｂ；ＦＮトンネル電流
３０ｃ；絶縁破壊
３２；酸化膜
３３；窒化膜
３５；ＭＮＯＳ構造デバイス
Ａ、Ｂ、Ｃ、Ｄ、Ｅ、Ｆ；デバイス

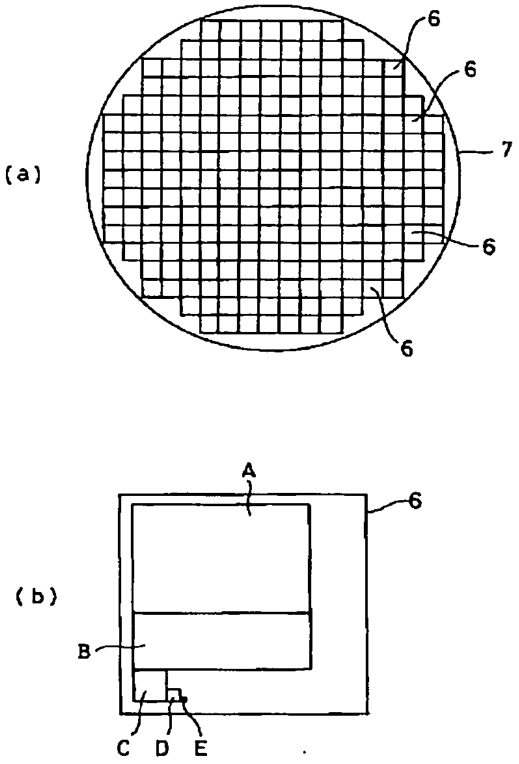
【図１】



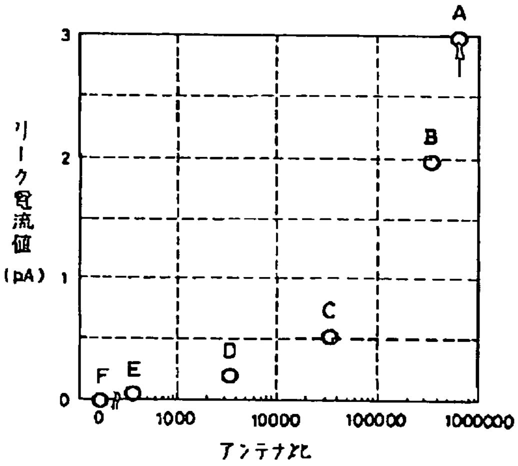
【図３】



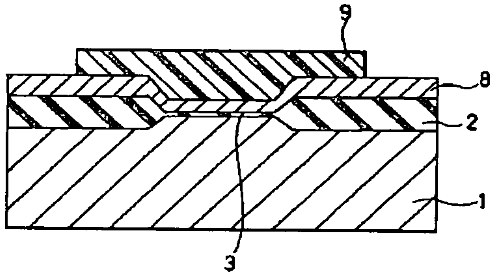
【図２】



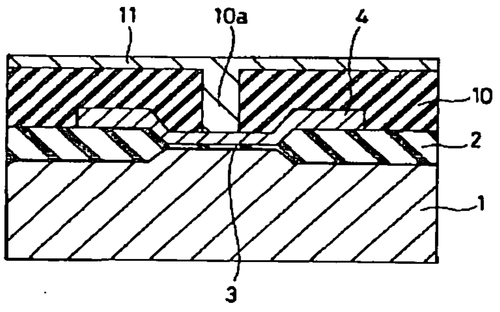
【図４】



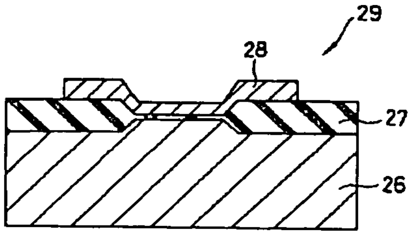
【図５】



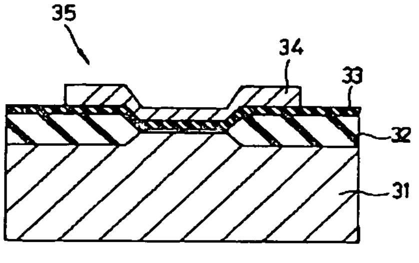
【図６】



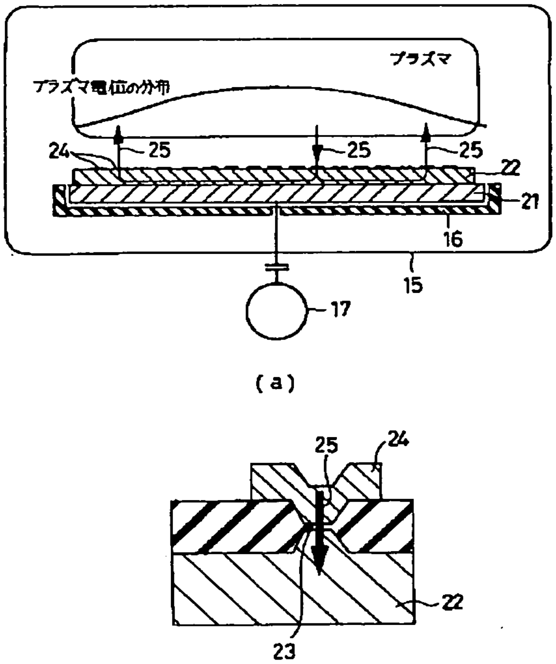
【図８】



【図１１】



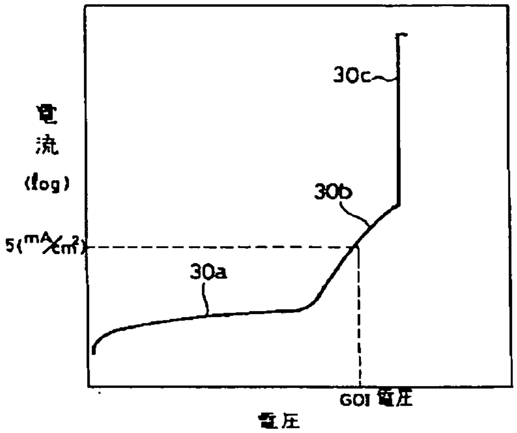
【図７】


プラズマ
プラズマ電位の分布
24
25
25
25
22
21
16
15
17
25
24
22
23

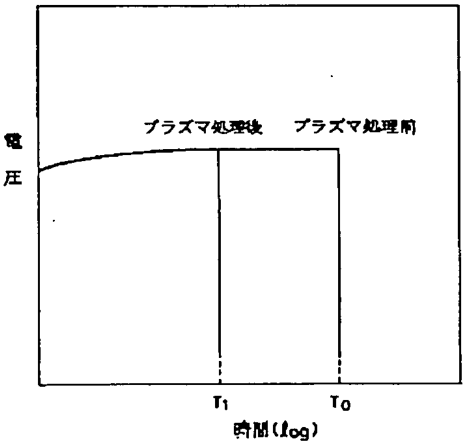
（a）

（b）

【図９】


30c
電流
(log)
30b
5(mA/cm²)
30a
GOI 電圧
電圧

【図１０】


プラズマ処理後
プラズマ処理前
電圧
T1
T0
時間(log)